

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-037207

(43)Date of publication of application : 09.02.2001

(51)Int.Cl.

H02M 1/08
H03K 17/16

(21)Application number : 11-200964

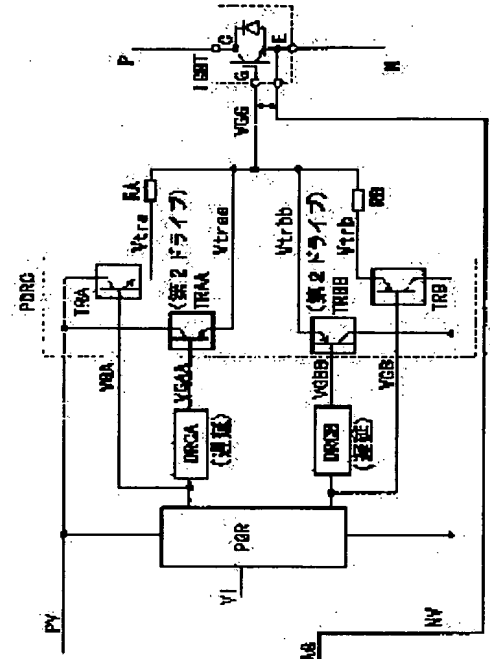
(71)Applicant : TOSHIBA CORP

(22)Date of filing : 14.07.1999

(72)Inventor : MIURA KAZUTOSHI
WATANABE YUKIO

(54) GATE DRIVE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a gate drive circuit which is hardly affected by influence of noise and has high reliability of the operation.**SOLUTION:** When a specified on-gate signal VGG is applied to a gate G of a voltage type switching element IGBT, application is so controlled that two-stepwise shifting in time is performed by using first delay drive circuits CRCA, TRA and TRAA. When a specified off-gate signal VGG is applied to the gate of the switching element IGBT, application is so controlled that two-stepwise shifting in time is performed by using second delay drive circuits CRCB, TRB and TRBB. As a result, a stable on-gate voltage and a stable off-gate voltage are applied to the gate G of the switching element IGBT, the descending time of a voltage between a collector C and an emitter E of the switching element and Hall time are shortened, and switching loss is reduced.

LEGAL STATUS

[Date of request for examination]

20.02.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3547654

[Date of registration]

23.04.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(10)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開2001-37207

(P2001-37207A)

(45)公開日 平成13年2月9日(2001.2.9)

(51)Int. Cl.

H02M 1/08

H03K 17/18

識別記号

B11

F1

H02M 1/08

H03K 17/18

主回路(参考)

B11A 5H74D

Z 5J055

審査請求 未請求 請求項の数 8 O.L (全 10 頁)

(21)出願番号 特願平11-200964

(22)出願日 平成11年7月14日(1999.7.14)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区瀬川町72番地

(72)発明者 三好 和敏

東京都府中市東芝町1番地 株式会社東芝

府中工場内

(72)発明者 藤江 幸夫

東京都府中市東芝町1番地 株式会社東芝

府中工場内

(74)代理人 100063806

弁理士 三好 秀和 (外7名)

最終頁に続く

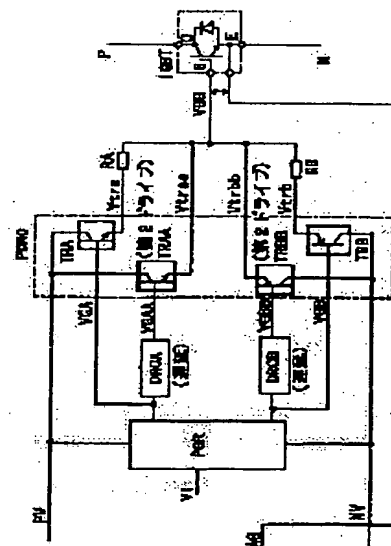
(54)【発明の名称】 ゲート駆動回路

(57)【要約】

【課題】 ノイズの影響を受けにくく、動作の信頼性の高いゲート駆動回路を提供する。

【解決手段】 電圧形スイッチング素子IGBTのゲートGに所定のオンゲート信号VG6を印加するの、第1の遅延ドライブ回路DRCA, TRA, TRAAにより時間的に2段階にすらして印加する制御を行い、またスイッチング素子IGBTのゲートに所定のオフゲート信号VG6を印加するの、第2の遅延ドライブ回路DRCB, TRB, TRBBにより時間的に2段階にすらして印加する制御を行う。これによ

り、スイッチング素子IGBTのゲートGに対して安定したオンゲート電圧、オフゲート電圧を与え、またスイッチング素子のコレクター-エミッタC-E間の電圧の下降時間、ホールド時間を短縮し、スイッチング損失を低減する。



【特許請求の範囲】

【請求項1】 スイッチング素子のゲートに所定の第1電圧のオン信号を印加して所定期間だけ導通させ、当該ゲートに所定の第2電圧のオフ信号を印加して所定の期間だけ不導通にするゲート駆動回路にあって、

前記ゲートに印加する前記所定の第1電圧を時間的に2段階にずらして印加する遅延ドライブ手段を備えたことを特徴とするゲート駆動回路。

【請求項2】 スイッチング素子のゲートに所定の第1電圧のオン信号を印加して所定期間だけ導通させ、当該ゲートに所定の第2電圧のオフ信号を印加して所定の期間だけ不導通にするゲート駆動回路にあって、

前記ゲートに印加する前記所定の第2電圧を時間的に2段階にずらして印加する遅延ドライブ手段を備えたことを特徴とするゲート駆動回路。

【請求項3】 スイッチング素子のゲートに所定の第1電圧のオン信号を印加して所定期間だけ導通させ、当該ゲートに所定の第2電圧のオフ信号を印加して所定の期間だけ不導通にするゲート駆動回路にあって、

前記ゲートに印加する前記所定の第1電圧を時間的に2段階にずらして印加する第1の遅延ドライブ手段と、

前記ゲートに印加する前記所定の第2電圧を時間的に2段階にずらして印加する第2の遅延ドライブ手段とを備えたことを特徴とするゲート駆動回路。

【請求項4】 スイッチング素子のゲートに所定の第1電圧のオン信号を印加して所定期間だけ導通させ、当該ゲートに所定の第2電圧のオフ信号を印加して所定の期間だけ不導通にするゲート駆動回路にあって、

前記ゲートに印加する前記所定の第1電圧を時間的に2段階にずらして印加する遅延ドライブ手段と、

ゲート制御信号線の正側と前記スイッチング素子のエミッタとの間に挿入されたコンデンサとを備えたことを特徴とするゲート駆動回路。

【請求項5】 スイッチング素子のゲートに所定の第1電圧のオン信号を印加して所定期間だけ導通させ、当該ゲートに所定の第2電圧のオフ信号を印加して所定の期間だけ不導通にするゲート駆動回路にあって、

前記ゲートに印加する前記所定の第2電圧を時間的に2段階にずらして印加する遅延ドライブ手段と、

ゲート制御信号線の負側と前記スイッチング素子のエミッタとの間に挿入されたコンデンサとを備えたことを特徴とするゲート駆動回路。

【請求項6】 スイッチング素子のゲートに所定の第1電圧のオン信号を印加して所定期間だけ導通させ、当該ゲートに所定の第2電圧のオフ信号を印加して所定の期間だけ不導通にするゲート駆動回路にあって、

前記ゲートに印加する前記所定の第1電圧を時間的に2段階にずらして印加する第1の遅延ドライブ手段と、

前記ゲートに印加する前記所定の第2電圧を時間的に2段階にずらして印加する遅延ドライブ手段と、

ゲート制御信号線の正側と前記スイッチング素子のエミッタとの間に挿入された第1のコンデンサと、

ゲート制御信号線の負側と前記スイッチング素子のエミッタとの間に挿入された第2のコンデンサとを備えたことを特徴とするゲート駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は電圧駆動形スイッチング素子のゲート駆動回路に関する。

【0002】

【従来の技術】 一般に、例えばIGBT、JEGTのような電圧駆動形スイッチング素子を用いた3相出力PWMインバータ装置は、図1.0に示す回路構成である。このPWMインバータ装置において、 V_d は直流電源、 F_C は直流平滑コンデンサ、 Q_U , Q_V , Q_W , Q_X , Q_Y , Q_Z は電圧駆動形スイッチング素子、 G_{CU} , G_{CV} , G_{CW} , G_{CX} , G_{CY} , G_{CZ} はこれらの素子各々を駆動するゲート駆動回路である。また、 $CONT$ はインバータ装置の速度制御回路で、 U , V , W 3相のそれぞれの速度制御回路 $CONT-U$, $CONT-V$, $CONT-W$ によって構成されている。

【0003】 そして、速度制御回路 $CONT$ によるPWMインバータ装置の制御動作は次のようである（以下では、 U 相の制御回路 $CONT-U$ について説明するが、 V , W 各相についても同様である）。最初、速度指令値 V_{ref} と速度検出値 V_o とを比較して偏差 e_r を出力する。この偏差 e_r と、速度 V_o に比例して出力する正弦波回路 V_{SIN} の出力単位正弦波 e_{sin} とを乗算し、その演算結果 I_{ref} と電流フィードバック信号 I_o とを比較器 S_1 で比較する。比較器 S_1 の出力は増幅器 AM_1 を介して電圧指令値 E_{ref} として比較器 S_2 に入力し、この比較器 S_2 で三角波発生器 VTR の出力 E_{tr} と比較する。比較器 S_2 の出力は波形整形回路 SHA によって1と0との信号に変換され、 U 相のゲート駆動回路 G_{CU} に入力され、また反転器 MA を経てもう1つのゲート駆動回路 G_{CX} にも同時に入力され、これらゲート駆動回路 G_{CU} , G_{CX} によって U 相の電圧形スイッチング素子 Q_U , Q_X が交互にオン/オフ制御され、その出力が電動機 M に U 相電流 I_U として供給される。 V , W 相についても同様に制御される。この結果、正弦波電流 I_U , I_V , I_W が電動機 M に供給され、速度制御される。

【0004】 このような構成のPWMインバータ装置におけるゲート駆動回路 G_{CU} , G_{CV} , G_{CW} , G_{CX} , G_{CY} , G_{CZ} 各々は、図1.1に示す構成である。図1.1は、電圧形スイッチング素子であるIGBTに対するゲート駆動回路を示している。このゲート駆動回路において、 P_{OW} は高周波電源、 P_{OC} はこの高周波電源 P_{OW} の交流を直流に変換する電源回路、 P_{GR} は論理制御回路、 P_{DR} はドライブ回路である。また P_R は

ゲート抵抗回路であり、抵抗RA、RBから成っている。そしてPHCは論理制御回路PGRに対してゲート制御信号VIを入力する入力回路である。

【0005】このゲート駆動回路は図12に示すシーケンスにより動作する。すなわち、入力信号GU（これはU相のスイッチング素子QUに対する信号であるが、他のスイッチング素子に対する動作も同様である）に対して、入力回路PHCがゲート制御信号VIを論理制御回路PGRに出力する。論理制御回路PGRはこの入力信号VIにより、制御信号VGA、VGBをそれぞれドライブ回路PDRのトランジスタTRA、TRBに出力する。

【0006】そこで、入力信号GU、そしてVIが1の期間、VGAも1となり、これによってトランジスタTRAが導通し、ゲート抵抗RAを介してスイッチング素子IGBTのゲートGに正電圧+Vを印加して素子をオン状態にする。

【0007】また入力信号GU、そしてVIが0の期間、ドライブ回路PDRのトランジスタTRBが導通し、ゲート抵抗RBを介してスイッチング素子IGBTのゲートGに負電圧-Vを印加して素子をオフ状態にする。

【0008】

【発明が解決しようとする課題】このような従来のゲート駆動回路にあっては、次のような問題点があった。電圧駆動形スイッチング素子は大電流、高耐圧になるほど、図13に示す各端子間の浮遊キャパシタンス C_{ge} 、 C_{ge} 、 C_{ee} が増大する。その結果、図14に示すU相の両アームの素子GU、GXのように、他の素子がオフからオンにスイッチングすると浮遊キャパシタンスを介してオフゲート電圧 V_{geu} 、 V_{gex} に0V以上の誤パルスが入り、最悪の場合にはこの誤パルスによってオフしていた素子が再びオンして短絡モードを発生し、素子を破壊することがある問題点があった。特に、図10に示したようなPWMインバータ装置では、上下アームの素子間による影響が現れ、小電流領域で最も激しい。しかもゲート駆動回路は素子の近傍に設置されているため、電磁ノイズ、誘導ノイズの影響にさらされやすい環境で使用されている。

【0009】本発明はこのような従来の問題点に鑑みてなされたもので、ノイズの影響を受けにくく、動作の信頼性の高いゲート駆動回路を提供することを目的とする。

【0010】

【課題を解決するための手段】請求項1の発明のゲート駆動回路は、スイッチング素子のゲートに所定の第1電圧のオン信号を印加して所定期間だけ導通させ、当該ゲートに所定の第2電圧のオフ信号を印加して所定の期間だけ不導通にする回路にあって、前記ゲートに印加する前記所定の第1電圧を時間的に2段階にすらしめて印加す

る遅延ドライブ手段を備えたものである。

【0011】請求項1の発明のゲート駆動回路では、スイッチング素子のゲートに所定の第1電圧のオン信号を印加するに、遅延ドライブ回路により時間的に2段階にすらしめて印加する制御を行う。これにより、スイッチング素子のゲートに対して安定したオンゲート電圧を与え、またスイッチング素子のコレクター-エミッタ間の電圧の下降時間を短縮し、スイッチング時のオン損失を低減する。

【0012】請求項2の発明のゲート駆動回路は、スイッチング素子のゲートに所定の第1電圧のオン信号を印加して所定期間だけ導通させ、当該ゲートに所定の第2電圧のオフ信号を印加して所定の期間だけ不導通にする回路にあって、前記ゲートに印加する前記所定の第2電圧を時間的に2段階にすらしめて印加する遅延ドライブ手段を備えたものである。

【0013】請求項2の発明のゲート駆動回路では、スイッチング素子のゲートに所定の第2電圧のオフ信号を印加するに、遅延ドライブ回路により時間的に2段階にすらしめて印加する制御を行う。これにより、スイッチング素子のゲートに対して安定したオフゲート電圧を与え、またスイッチング素子のコレクター-エミッタ間の電圧のホールド時間を短縮し、スイッチング時のオフ損失を低減する。

【0014】請求項3の発明のゲート駆動回路は、スイッチング素子のゲートに所定の第1電圧のオン信号を印加して所定期間だけ導通させ、当該ゲートに所定の第2電圧のオフ信号を印加して所定の期間だけ不導通にする回路にあって、前記ゲートに印加する前記所定の第1電圧を時間的に2段階にすらしめて印加する第1の遅延ドライブ手段と、前記ゲートに印加する前記所定の第2電圧を時間的に2段階にすらしめて印加する第2の遅延ドライブ手段とを備えたものである。

【0015】請求項3の発明のゲート駆動回路では、スイッチング素子のゲートに所定の第1電圧のオン信号を印加するに、第1の遅延ドライブ回路により時間的に2段階にすらしめて印加する制御を行い、またスイッチング素子のゲートに所定の第2電圧のオフ信号を印加するに、第2の遅延ドライブ回路により時間的に2段階にすらしめて印加する制御を行う。

【0016】これにより、スイッチング素子のゲートに対して安定したオンゲート電圧、オフゲート電圧を与え、またスイッチング素子のコレクター-エミッタ間の電圧の下降時間、ホールド時間を短縮し、スイッチング損失を低減する。

【0017】請求項4の発明のゲート駆動回路は、スイッチング素子のゲートに所定の第1電圧のオン信号を印加して所定期間だけ導通させ、当該ゲートに所定の第2電圧のオフ信号を印加して所定の期間だけ不導通にする回路にあって、前記ゲートに印加する前記所定の第1電

圧を時間的に2段階にずらして印加する遅延ドライブ手段と、ゲート制御信号線の正側と前記スイッチング素子のエミッタとの間に挿入されたコンデンサとを備えたものである。

【0018】請求項4の発明のゲート駆動回路では、スイッチング素子のゲートに所定の第1電圧のオン信号を印加するに、遅延ドライブ回路により時間的に2段階にずらして印加する制御を行う。そして、コンデンサにより第1段階のオンゲート電圧をゲート共にエミッタに与えた状態で第2段階のオンゲート電圧をゲートに印加する。

【0019】これにより、スイッチング素子のゲートに対してより安定したオンゲート電圧を印加し、またスイッチング素子のコレクタ-エミッタ間の電圧の下降時間を短縮し、スイッチング時のオン損失を低減し、加えてコンデンサが低インピーダンスでノイズを効果的に吸収してノイズの影響を受けにくくする。

【0020】請求項5の発明のゲート駆動回路は、スイッチング素子のゲートに所定の第1電圧のオン信号を印加して所定期間だけ導通させ、当該ゲートに所定の第2電圧のオフ信号を印加して所定の期間だけ不導通にする回路にあって、前記ゲートに印加する前記所定の第2電圧を時間的に2段階にずらして印加する遅延ドライブ手段と、ゲート制御信号線の負側と前記スイッチング素子のエミッタとの間に挿入されたコンデンサとを備えたものである。

【0021】請求項5の発明のゲート駆動回路では、スイッチング素子のゲートに所定の第2電圧のオフ信号を印加するに、遅延ドライブ回路により時間的に2段階にずらして印加する制御を行う。そして、コンデンサにより第1段階のオフゲート電圧をゲート共にエミッタに与えた状態で第2段階のオフゲート電圧をゲートに印加する。

【0022】これにより、スイッチング素子のゲートに対して安定したオフゲート電圧を与え、またスイッチング素子のコレクタ-エミッタ間の電圧のホール時間を短縮し、スイッチング時のオフ損失を低減し、加えてコンデンサが低インピーダンスでノイズを効果的に吸収してノイズの影響を受けにくくする。

【0023】請求項6の発明のゲート駆動回路は、スイッチング素子のゲートに所定の第1電圧のオン信号を印加して所定期間だけ導通させ、当該ゲートに所定の第2電圧のオフ信号を印加して所定の期間だけ不導通にする回路にあって、前記ゲートに印加する前記所定の第1電圧を時間的に2段階にずらして印加する第1の遅延ドライブ手段と、前記ゲートに印加する前記所定の第2電圧を時間的に2段階にずらして印加する遅延ドライブ手段と、ゲート制御信号線の正側と前記スイッチング素子のエミッタとの間に挿入された第1のコンデンサと、ゲート制御信号線の負側と前記スイッチング素子のエミッタ

との間に挿入された第2のコンデンサとを備えたものである。

【0024】請求項6の発明のゲート駆動回路では、スイッチング素子のゲートに所定の第1電圧のオン信号を印加するに、第1の遅延ドライブ回路により時間的に2段階にずらして印加する制御を行い、また第1のコンデンサにより第1段階のオンゲート電圧をゲート共にエミッタに与えた状態で第2段階のオンゲート電圧をゲートに印加する。そして、スイッチング素子のゲートに所定の第2電圧のオフ信号を印加するに、第2の遅延ドライブ回路により時間的に2段階にずらして印加する制御を行い、また第2のコンデンサにより第1段階のオフゲート電圧をゲート共にエミッタに与えた状態で第2段階のオフゲート電圧をゲートに印加する。

【0025】これにより、スイッチング素子のゲートに対してより安定したオンゲート電圧、オフゲート電圧それぞれを印加し、また第1、第2のコンデンサが低インピーダンスでノイズを効果的に吸収してノイズの影響を受けにくくする。

【0026】

【発明の実施の形態】以下、本発明の実施の形態を図に基づいて詳説する。図1は本発明のゲート駆動回路の第1の実施の形態の構成を示している。

【0027】図1に示すゲート駆動回路は、図10に示した一般的なPWMインバータ装置におけるU、V、W各相の片方の電圧形スイッチング素子IGBTに対するものを示している。したがって、図10に示したPWMインバータ装置における、電圧形スイッチング素子QU、QX、QV、QY、QW、QZそれぞれに対するゲート駆動回路GCU、GCV、GCW、GCX、GCY、GCZそれぞれに対して、図1に示したゲート駆動回路が適用される。また図1に示したゲート駆動回路における入力PV、IV、AG、VIはそれぞれ、図11に示した従来例と同様の電源回路POC、入力回路PHCから入力されるものである。

【0028】図1に示したゲート駆動回路において、PGRは従来と同様の論理制御回路、PDRAは第1の実施の形態の特徴をなすドライブ回路、RA、RBはゲート抵抗である。

【0029】ドライブ回路PDRAには、交互にオン/オフ制御される1対のトランジスタTRA、TRBが設けられ、またトランジスタTRAと並列に第2ドライブトランジスタTRAAが設けられている。この第2ドライブトランジスタTRAAには、遅延回路DRCAが接続してある。

【0030】このゲート駆動回路は図2に示すシーケンスにより動作する。

【0031】＜オンゲート出力＞ゲート制御入力信号VIは、図11、図12に示した従来例と同様に論理制御回路PGRに入力される。論理制御回路PGRはこの入

力信号V_Iにより、0、1が互いに逆相になったオン／オフ制御信号V_{GA}、V_{GB}をそれぞれドライブ回路PDR_AのトランジスタT_{RA}、T_{RB}に出力する。また制御信号V_{GA}は遅延回路DRC_Aにも入力される。遅延回路DRC_Aは信号V_{GA}をその立上がりタイミングがΔt-1だけ遅延した信号V_{GAA}にして第2ドライブトランジスタT_{RAA}に出力する。

【0032】これにより、入力信号V_Iが1の期間t₁～t₃の間V_{GA}も1となり、これによってトランジスタT_{RA}が導通し、ゲート抵抗R_Aを介してスイッチング素子IGBTのゲートGにオンゲート電圧V_{tre}を期間t₁～t₃の間印加し、さらに第2ドライブトランジスタT_{RAA}からΔt-1の遅延の後、期間t₂～t₃の間オンゲート電圧V_{tre}を素子IGBTのゲートG-エミッタE間にはオンゲート電圧V_{GG}が与えられる。

【0033】＜オフゲート出力＞入力信号V_Iが0の期間t₃～t₄の間、制御回路PRGの出力する制御信号V_{GA}が0となってドライブトランジスタT_{RA}、T_{RAA}がオフし、逆に制御信号V_{GB}が1となってドライブトランジスタT_{RB}がオンする。これにより、ゲートG-エミッタE間の電圧V_{GG}に-Vの負電圧が印加され、スイッチング素子IGBTをオフする。

【0034】このようにして、第1の実施の形態のゲート駆動回路では、オンゲート動作において、トランジスタT_{RA}より第1段のオンゲート電圧を与えた後、Δt-1の遅延後に第2ドライブトランジスタT_{RAA}より第2段のオンゲート電圧を与えることで、安定したオンゲート電圧を供給することができる。また、dV/dt（電圧の時間変化率）を小さくして反対側のスイッチング素子のゲートに誘起されるパルスノイズレベルを下げ、誤動作を防ぐことができる。さらにスイッチング素子IGBTのコレクタC-エミッタE間の電圧の下降時間t_rが短縮され、スイッチングのオン損失E_{on}が減少する。

【0035】次に、本発明のゲート駆動回路の第2の実施の形態を、図3に基づいて説明する。第2の実施の形態のゲート駆動回路は、図1に示した第1の実施の形態に対して、さらに直流電源の正側P_Vとスイッチング素子IGBTのエミッタEとの間にコンデンサC_{HA}を設置したこと特徴とする。したがって、その他の構成は図1に示した第1の実施の形態と共通である。

【0036】第2の実施の形態のゲート駆動回路では、上記の第1の実施の形態によるオンゲート出力動作において、特に第2ドライブトランジスタT_{RAA}が第2段のオンゲート電圧V_{tre}を出力するときさらに安定したゲート電圧V_{GG}を与えることができる。またコンデンサC_{HA}は低インピーダンスなのでノイズを効果的に吸収することができ、ノイズの影響を受けにくくでき

る。

【0037】次に、本発明のゲート駆動回路の第3の実施の形態を、図4に基づいて説明する。図4に示す第3の実施の形態のゲート駆動回路は図1に示した第1の実施の形態と同様に、図10に示した一般的にPWMインバータ装置におけるUVW各相の片方の電圧形スイッチング素子IGBTに対するものを示している。したがって、図10に示したPWMインバータ装置における、電圧形スイッチング素子Q_U、Q_X、Q_V、Q_Y、Q_W、Q_Zそれぞれに対するゲート駆動回路G_{CU}、G_{CV}、G_{CW}、G_{CX}、G_{CY}、G_{CZ}それぞれに対して、図4に示したゲート駆動回路が適用される。また図4に示したゲート駆動回路における入力P_V、I_V、A_G、V_Iはそれぞれ、図11に示した従来例と同様の電源回路P_{OC}、入力回路P_{HC}から入力されるものである。

【0038】図4に示したゲート駆動回路において、P_{GR}は従来と同様の論理制御回路、PDR_Bは第3の実施の形態の特徴をなすドライブ回路、R_A、R_Bはゲート抵抗である。

【0039】ドライブ回路PDR_Bには、交互にオン／オフ制御される1対のトランジスタT_{RA}、T_{RB}が設けられ、またトランジスタT_{RB}と並列に第2ドライブトランジスタT_{RB_B}が設けられている。この第2ドライブトランジスタT_{RB_B}には、遅延回路DRC_Bが接続してある。

【0040】このゲート駆動回路は図5に示すシーケンスにより動作する。

【0041】＜オンゲート出力＞論理制御回路PGRは入力信号V_Iにより、0、1が互いに逆相になったオン／オフ制御信号V_{GA}、V_{GB}をそれぞれドライブ回路PDR_BのトランジスタT_{RA}、T_{RB}に出力する。入力信号V_Iが1の期間t₁～t₂の間、制御回路PRGの出力する制御信号V_{GA}が1となってドライブトランジスタT_{RA}がオンし、逆に制御信号V_{GB}が0となってドライブトランジスタT_{RB}、T_{RB_B}がオフする。これにより、ゲートG-エミッタE間の電圧V_{GG}に+Vのゲート電圧が印加され、スイッチング素子IGBTをオンする。

【0042】＜オフゲート出力＞論理制御回路PGRは入力信号V_Iが0の期間t₂～t₄の間、制御信号V_{GA}を0とし、制御信号V_{GB}を1にして出力する。制御信号V_{GA}は0でドライブトランジスタT_{RA}をオフにする。

【0043】一方、制御信号V_{GB}は1で、ドライブトランジスタT_{RB}を期間t₂～t₄の間オンする。また制御信号V_{GB}は遅延回路DRC_Bにも入力される。遅延回路DRC_Bの信号V_{GB}をその立上がりタイミングがΔt-2だけ遅延した信号V_{GB_B}にして第2ドライブトランジスタT_{RB_B}に出力する。

【0044】これにより、期間t₂～t₄の間トランジ

スタT R Bが導通し、ゲート抵抗R Bを介してスイッチング素子I G B TのゲートGにオフゲート電圧 $V_{t r b}$ を印加し、さらに第2ドライブトランジスタT R B Bから Δt_2 の遅延後に、期間 $t_3 \sim t_4$ の間オフゲート電圧 $V_{t r b b}$ を素子I G B Tのゲートにゲート抵抗を介さずに直接に印加する。この結果、スイッチング素子I G B TのゲートG-エミッタE間にはオフゲート電圧 $V_{G G}$ が与えられる。

【0045】このようにして、第3の実施の形態のゲート駆動回路では、オフゲート動作において、トランジスタT R Bより第1段のオフゲート電圧を与えた後、 Δt_2 の遅延後に第2ドライブトランジスタT R B Bより第2段のオフゲート電圧をゲート抵抗を介さずに直接に与えることで、安定したオフゲート電圧を供給することができ、反対側のスイッチング素子のゲートオンによるバルスノイズが誘起されないようにできる。また、スイッチング素子I G B TのコレクタC-エミッタE間の電圧のホール時間 t_r が短縮され、スイッチングのオフ損失 E_{off} が減少する。

【0046】次に、本発明のゲート駆動回路の第4の実施の形態を、図6に基づいて説明する。第4の実施の形態のゲート駆動回路は、図4に示した第3の実施の形態に対して、さらに直流電源の負側N Vとスイッチング素子I G B TのエミッタEとの間にコンデンサC H Bを設置したこと特徴とする。したがって、その他の構成は図4に示した第3の実施の形態と共通である。

【0047】第4の実施の形態のゲート駆動回路では、上記の第3の実施の形態によるオフゲート出力動作において、特に第2ドライブトランジスタT R B Bが第2段のオフゲート電圧 $V_{t r b b}$ を出力するときさらに安定したゲート電圧 $V_{G G}$ を与えることができる。またコンデンサC H Bは低インピーダンスなのでノイズを効果的に吸収することができ、ノイズの影響を受けにくくなる。

【0048】次に、本発明のゲート駆動回路の第5の実施の形態を、図7に基づいて説明する。第5の実施の形態のゲート駆動回路は、図1に示した第1の実施の形態と図4に示した第3の実施の形態とを組み合わせた構成を特徴としている。すなわち、図1に示した従来のゲート駆動回路に対して、論理制御回路P R Gからの制御信号 $V_{G A}$ の立上がりタイミングを Δt_1 だけ遅延させて制御信号 $V_{G A A}$ として出力する第1の遅延回路D R C A、制御信号 $V_{G B}$ の立下りタイミングを Δt_2 だけ遅延させて制御信号 $V_{G B B}$ として出力する第2の遅延回路D R C Bを設け、また、ドライブ回路P D R Cに1対のドライブトランジスタT R A、T R Bと共に、第2ドライブトランジスタT R A A、T R B Bを設けている。

【0049】これにより、第5の実施の形態のゲート駆動回路は、図8に示したシーケンスのように動作する。

【0050】<オンゲート出力>第1の実施の形態の場合と同様であり、制御回路P R Gは入力信号 V_I が1の期間 $t_1 \sim t_3$ の間、制御信号 $V_{G A}$ を1にしてドライブ回路P D R CのトランジスタT R Aをオンさせる。また制御信号 $V_{G A}$ は第1の遅延回路D R C Aにも入力され、ここで立上がりタイミングを Δt_1 だけ遅延させた信号 $V_{G A A}$ にして第2ドライブトランジスタT R A Aに出力し、これを $t_2 \sim t_3$ の期間オンさせる。

【0051】これにより、入力信号 V_I が1の期間 $t_1 \sim t_3$ の間スイッチング素子I G B TのゲートGにオンゲート電圧 $V_{t r a}$ を印加し、さらに第2ドライブトランジスタT R A Aから Δt_1 の遅延の後に、期間 $t_2 \sim t_3$ の間オンゲート電圧 $V_{t r a a}$ を素子I G B Tのゲートに印加する。この結果、スイッチング素子I G B TのゲートG-エミッタE間にはオンゲート電圧 $V_{G G}$ が与えられる。

【0052】<オフゲート出力>第3の実施の形態の場合と同様であり、制御回路P R Gは入力信号 V_I が0の期間 $t_3 \sim t_5$ の間、制御信号 $V_{G A}$ を0にしてドライブ回路P D R CのトランジスタT R Bをオンさせる。また制御信号 $V_{G B}$ は第2の遅延回路D R C Bにも入力され、ここで立下りタイミングを Δt_2 だけ遅延させた信号 $V_{G B B}$ にして第2ドライブトランジスタT R B Bに出力し、これを $t_4 \sim t_5$ の期間オンさせる。

【0053】これにより、入力信号 V_I が0の期間 $t_3 \sim t_5$ の間スイッチング素子I G B TのゲートGにオフゲート電圧 $V_{t r b}$ を印加し、さらに第2ドライブトランジスタT R B Bから Δt_2 の遅延の後に、期間 $t_4 \sim t_5$ の間オフゲート電圧 $V_{t r b b}$ を素子I G B Tのゲートに印加する。この結果、スイッチング素子I G B TのゲートG-エミッタE間にはオフゲート電圧 $V_{G G}$ が与えられる。

【0054】このようにして、第5の実施の形態のゲート駆動回路では、第1の実施の形態と第3の実施の形態の作用効果を組み合わせたものとなり、オンゲート動作においては、トランジスタT R Aより第1段のオンゲート電圧を与えた後、 Δt_1 の遅延後に第2ドライブトランジスタT R A Aより第2段のオンゲート電圧を与えることで、安定したオンゲート電圧を供給することができる。また、 dV/dt （電圧の時間変化率）を小さくして反対側のスイッチング素子のゲートに誘起されるバルスノイズレベルを下げ、誤動作を防ぐことができる。さらに、スイッチング素子I G B TのコレクタC-エミッタE間の電圧の下降時間 t_r が短縮され、スイッチングのオン損失 E_{on} が減少する。

【0055】またオフゲート動作においては、トランジスタT R Bより第1段のオフゲート電圧を与えた後、 Δt_2 の遅延後に第2ドライブトランジスタT R B Bより第2段のオフゲート電圧をゲート抵抗を介さずに直接に与えることで、安定したオフゲート電圧を供給すること

ができ、反対側のスイッチング素子のゲートオンによるパルスノイズが誘起されないようにできる。また、スイッチング素子IGBTのコレクタ-エミッタ間の電圧のホール時間 t_f が短縮され、スイッチング時のオフ損失 E_{off} が減少する。

【0056】次に、本発明のゲート駆動回路の第6の実施の形態を、図9に基づいて説明する。第6の実施の形態のゲート駆動回路は、図3に示した第2の実施の形態と図6に示した第4の実施の形態とを組み合わせた構成である。すなわち、図7に示した第5の実施の形態に対して、さらに、直流電源の正側PVとスイッチング素子IGBTのエミッタEとの間にコンデンサCHAを設置し、かつ直流電源の負側NVとスイッチング素子IGBTのエミッタEとの間にコンデンサCHBを設置したこと特徴としている。その他の構成は図7に示した第5の実施の形態と共通である。

【0057】これにより、第6の実施の形態のゲート駆動回路では、第5の実施の形態の作用効果に加えて、第1の実施の形態に対する第2の実施の形態のように、また第3の実施の形態に対する第4の実施の形態のように、コンデンサCHA、CHBが低インピーダンスなのでノイズを効果的に吸収することができ、ノイズの影響を受けにくくできる。

【0058】なお、上記の各実施の形態では電圧形スイッチング素子IGBTを例示したが、これに限定されず、例えば、I-EGTに適用するものも有効である。

【0059】

【発明の効果】以上のように請求項1の発明によれば、スイッチング素子のゲートに対して安定したオンゲート電圧を与えることができ、またスイッチング素子のコレクタ-エミッタ間の電圧の下降時間を短縮し、スイッチング時のオン損失を低減することができる。

【0060】請求項2の発明によれば、スイッチング素子のゲートに対して安定したオフゲート電圧を与えることができ、またスイッチング素子のコレクタ-エミッタ間の電圧のホール時間を短縮し、スイッチング時のオフ損失を低減することができる。

【0061】請求項3の発明によれば、スイッチング素子のゲートに対して安定したオンゲート電圧、オフゲート電圧を与え、またスイッチング素子のコレクタ-エミッタ間の電圧の下降時間、ホール時間を短縮し、スイッチング損失を低減することができる。

【0062】請求項4の発明によれば、スイッチング素子のゲートに対してより安定したオンゲート電圧を印加することができ、またスイッチング素子のコレクタ-エミッタ間の電圧の下降時間を短縮し、スイッチング時のオン損失を低減することができ、加えてコンデンサが低インピーダンスでノイズを効果的に吸収してノイズの影響を受けにくくすることができる。

【0063】請求項5の発明によれば、スイッチング素子のゲートに対して安定したオフゲート電圧を与えることができ、またスイッチング素子のコレクタ-エミッタ間の電圧のホール時間を短縮し、スイッチング時のオフ損失を低減することができ、加えてコンデンサが低インピーダンスでノイズを効果的に吸収してノイズの影響を受けにくくすることができる。

【0064】請求項6の発明によれば、スイッチング素子のゲートに対してより安定したオンゲート電圧、オフゲート電圧それぞれを印加し、またスイッチング素子のコレクタ-エミッタ間の電圧の下降時間、ホール時間を短縮し、スイッチング損失を低減することができ、加えて第1、第2のコンデンサが低インピーダンスでノイズを効果的に吸収してノイズの影響を受けにくくすることができる。

【図面の簡単な説明】

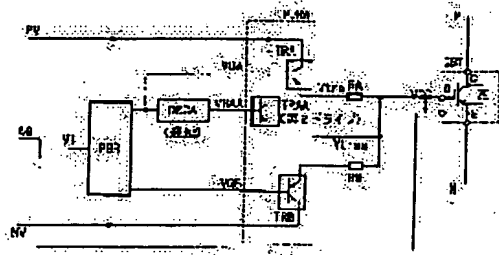
【図1】本発明の第1の実施の形態の回路ブロック図。
【図2】上記の第1の実施の形態の動作シーケンス図。
【図3】本発明の第2の実施の形態の回路ブロック図。
【図4】本発明の第3の実施の形態の回路ブロック図。
【図5】上記の第3の実施の形態の動作シーケンス図。
【図6】本発明の第4の実施の形態の回路ブロック図。
【図7】本発明の第5の実施の形態の回路ブロック図。
【図8】上記の第5の実施の形態の動作シーケンス図。
【図9】本発明の第6の実施の形態の回路ブロック図。
【図10】一般的なPWMインバータ装置の回路ブロック図。

【図11】従来のゲート駆動回路のブロック図。
【図12】従来のゲート駆動回路の動作シーケンス図。
【図13】従来例においてスイッチング素子の浮遊キャパシタンスの分布を示す説明図。
【図14】従来例による誤動作の原理を示す動作シーケンス図。

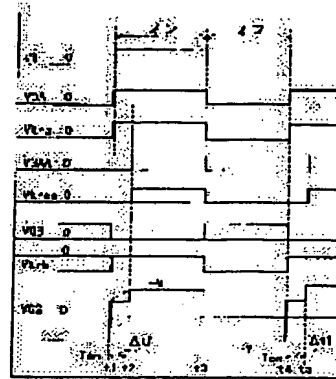
【符号の説明】

PV 電源(正)
NV 電源(負)
AG 中性点電位
VI 入力信号
PGR 制御回路
DRCA, DRCB 遅延回路
PDRA, PDRB, PDRC ドライブ回路
TRA, TRB トランジスタ
TRAA, TRBB 第2ドライフトランジスタ
RA, RB ゲート抵抗
IGBT スwitchング素子
CHA, CHB コンデンサ

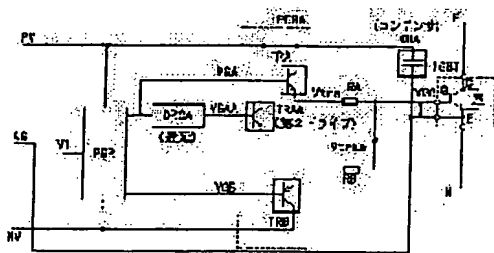
【図1】



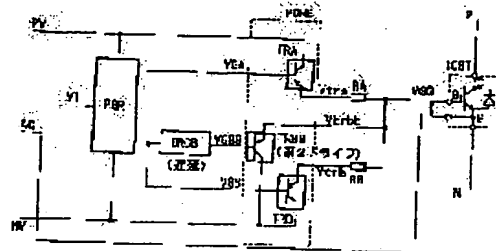
【図2】



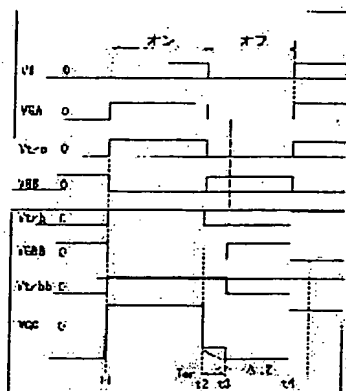
【図3】



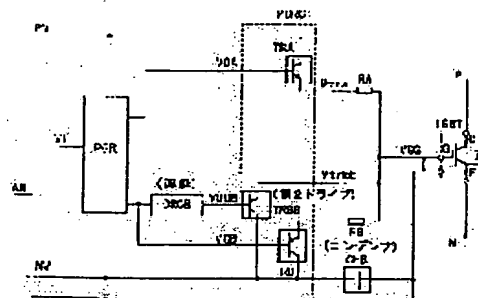
【図4】



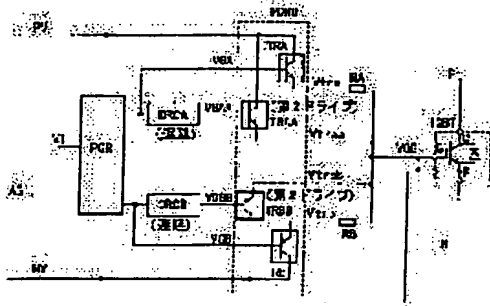
【図5】



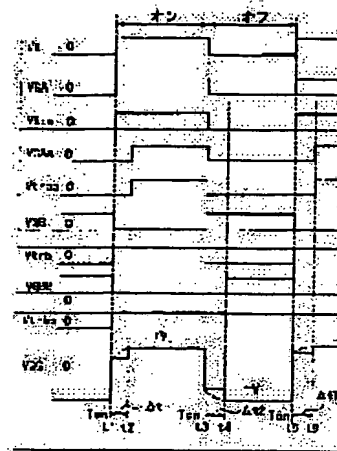
【図6】



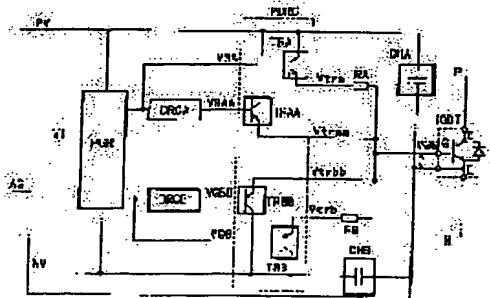
【図7】



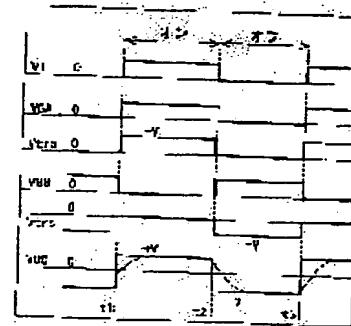
【図8】



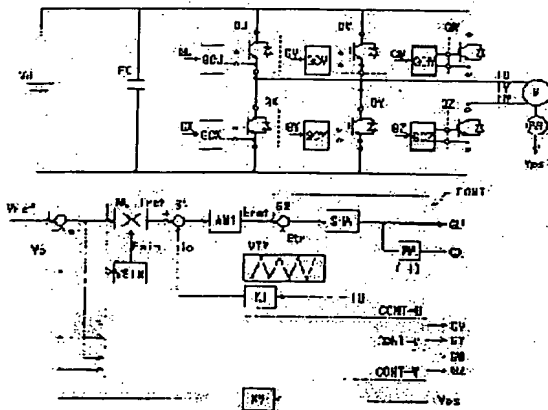
【図9】



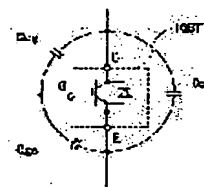
【図12】



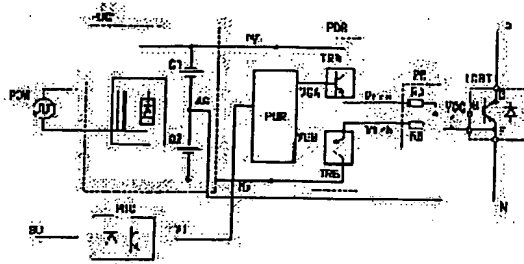
【図10】



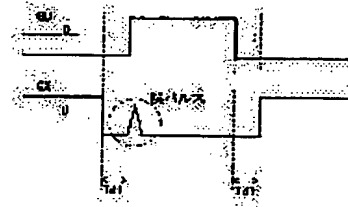
【図13】



【図1.1】



【図1.4】



フロントページの続き

Fターム(参考) 5H740 RA04 BA11 BC01 BC02 HH06
 JA01 JB02
 5J055 AX12 AX23 AX37 AX55 AX56
 AX65 AX66 BX16 CX00 CX07
 CX19 DX09 DX59 DX84 EX01
 EX04 EX06 EX11 EY01 EY10
 EY12 EY17 EZ07 EZ23 EZ50
 GX01 GX04

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.